

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-203873

(43)Date of publication of application : 30.07.1999

(51)Int.Cl. G11C 11/413  
 G11C 11/401  
 G11C 11/407  
 G11C 11/409

(21)Application number : 10-006343

(71)Applicant : HITACHI LTD

(22)Date of filing : 16.01.1998

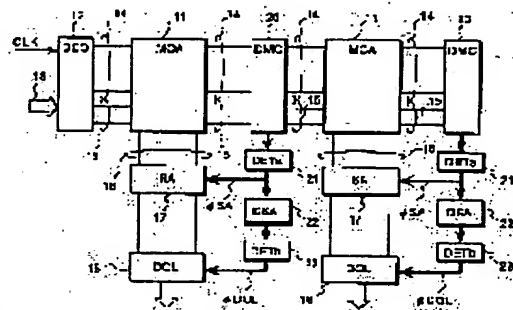
(72)Inventor : SUZUKI TAKESHI

## (54) SEMICONDUCTOR INTEGRATED CIRCUIT AND DATA PROCESSING SYSTEM

## (57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor integrated circuit capable of preventing malfunction without securing a timing margin beforehand concerning a sense amplifier activation timing and an output latch timing.

SOLUTION: Changes in an amplitude of a data line at the time of reading operation are simulated by a dummy memory cell arranged in dummy data line in a dummy memory cell array (20), and after it has been detected that the data line amplitude reaches a required value, a sense amplifier 17 and a dummy sense amplifier 22 are activated. Further, the dummy sense amplifier simulates an output state of the sense amplifier, and a latch timing of a latch circuit 18 is generated to coincide with the firm output of the sense amplifier.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-203873

(43) 公開日 平成11年(1999) 7月30日

(51) Int.Cl. <sup>6</sup>	識別記号	F I	
G 1 1 C 11/413		G 1 1 C 11/34	3 4 1 A
11/401			3 5 2 E
11/407			3 5 4 C
11/409			3 5 4 A

審査請求 未請求 請求項の数 5 O L (全 11 頁)

(21) 出願番号	特願平10-6343	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22) 出願日	平成10年(1998) 1月16日	(72) 発明者	鈴木 武史 東京都青梅市今井2326番地 株式会社日立 製作所デバイス開発センタ内
		(74) 代理人	弁理士 玉村 静世

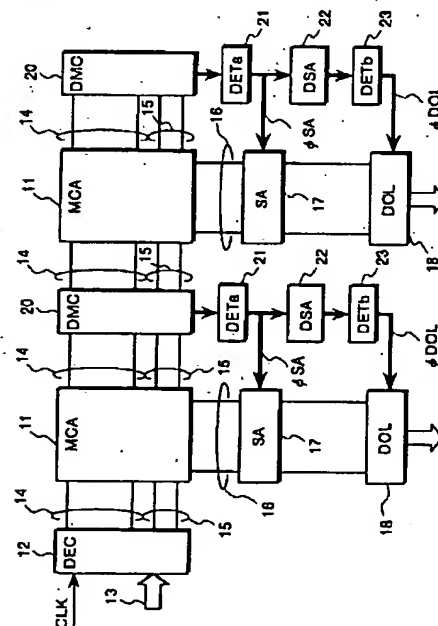
(54) 【発明の名称】 半導体集積回路及びデータ処理システム

(57) 【要約】

【課題】 センスアンプ活性化タイミングや出力ラッチタイミングに関するタイミングマージンを予め確保せずに誤動作を防止できる半導体集積回路を提供する。

【解決手段】 ダミーメモリセルアレイ (20) 内部のダミーデータ線に配置されたダミーメモリセルにより読み出し動作時のデータ線の振幅の変化を模擬し、データ線振幅が必要量に達したことを検出してからセンスアンプ (17) 及びダミーセンスアンプ (22) を活性化する。更に、ダミーセンスアンプによってセンスアンプの出力状態を模擬し、センスアンプの出力が確定するのに合わせて出力ラッチ回路 (18) のラッチタイミングを生成する。

【図 1】



## 【特許請求の範囲】

【請求項1】 選択端子がワード線に接続されると共にデータ端子がデータ線に接続された複数個のメモリセルを有するメモリセルアレイと、前記メモリセルアレイで選択されたメモリセルの記憶情報を検出して増幅するセンスアンプと、前記センスアンプの出力をラッチする出力ラッチ回路とを含んで1個の半導体基板に形成された半導体集積回路において、

前記メモリセルからのデータ読み出し動作に同期して選択されるダミーメモリセルを有し、前記メモリセルからのデータ読み出し動作に同期する前記データ線のレベル変化を前記ダミーメモリセルが接続されるダミーデータ線上で模擬するダミーメモリセルアレイと、前記ダミーデータ線の所定レベルを検出して前記センスアンプの活性化信号を形成する第1検出回路と、を設けて成るものであることを特徴とする半導体集積回路。

【請求項2】 前記ダミーデータ線のレベルを入力し前記センスアンプ活性化と同期的に増幅動作を行なって前記センスアンプを模擬するダミーセンスアンプと、前記ダミーセンスアンプの出力レベルの確定を検出して前記出力ラッチ回路のラッチタイミング信号を形成する第2検出回路とを、更に設けて成るものであることを特徴とする請求項1記載の半導体集積回路。

【請求項3】 選択端子がワード線に接続されると共にデータ端子がデータ線に接続された複数個のメモリセルを有するメモリセルアレイと、前記メモリセルアレイで選択されたメモリセルの記憶情報を検出して増幅するセンスアンプと、前記センスアンプの出力を入力として論理演算を行なう論理演算部と、前記論理演算部の出力をラッチする出力ラッチ回路とを含んで1個の半導体基板に形成された半導体集積回路において、前記メモリセルからのデータ読み出し動作に同期して選択されるダミーメモリセルを有し、前記メモリセルからのデータ読み出し動作に同期する前記データ線のレベル変化を前記ダミーメモリセルが接続されるダミーデータ線上で模擬するダミーメモリセルアレイと、前記ダミーデータ線の所定レベルを検出して前記センスアンプの活性化信号を形成する第1検出回路と、前記ダミーデータ線のレベルを入力し前記センスアンプ活性化と同期的に増幅動作を行なって前記センスアンプを模擬するダミーセンスアンプと、前記ダミーセンスアンプの出力を入力とし前記論理演算部を模擬するダミー論理演算部と、前記ダミー論理演算部の出力レベルの確定を検出して前記出力ラッチ回路のラッチタイミング信号を形成する第2検出回路と、を設けて成るものであることを特徴とする半導体集積回路。

【請求項4】 前記ワード線の一端にワード線選択信号を出力するデコーダが設けられ、前記ワード線を共有して前記複数個のメモリセルアレイと前記ダミーメモリア

レイが交互に配置され、個々のメモリセルアレイに対応して前記センスアンプと出力ラッチ回路が設けられると共に、個々のダミーメモリセルアレイに対応してダミーセンスアンプが設けられ、前記ダミーメモリセルアレイは対応するメモリセルアレイのセンスアンプ活性化制御に利用され、前記ダミーセンスアンプは対応するメモリセルの出力ラッチ回路のラッチタイミング制御に利用されるものであることを特徴とする請求項2記載の半導体集積回路。

【請求項5】 請求項1乃至4の何れか1項に記載の半導体集積回路と、前記半導体集積回路をバスを介してアクセスするプロセッサとを実装基板に含んで成るものであることを特徴とするデータ処理システム。

## 【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体集積回路のメモリ動作における内部タイミング制御技術に関し、例えばSRAM（Static Random Access Memory；スタティック・ランダム・アクセス・メモリ）におけるセンスアンプや出力ラッチ回路のタイミング制御に適用して有効な技術に関するものである。

【0002】

【従来の技術】SRAMなどのスタティック型のメモリでは、誤動作防止の観点から、ビット線対（相補ビット線）の電位差がデータ読み出しに必要な大きさに達してからセンスアンプを活性化し、また、センスアンプの出力が確定してから出力ラッチ回路にセンスアンプの出力をラッチさせることが必要である。このため、アドレッシングされたメモリセルの記憶情報に従って相補ビット線の状態が変化される動作に前記センスアンプの活性化タイミングや出力ラッチ回路のラッチタイミングを同期させるため、メモリアクセスストロブ信号のような外部クロック信号を遅延回路で夫々所定時間遅延させてセンスアンプ活性化信号や出力ラッチ制御信号を生成していた。

【0003】同期型周辺回路を有するSRAMについて記載された文献の例として、昭和60年12月25日株式会社オーム社発行の「マイクロコンピュータハンドブック」第253頁及び第254頁がある。

【0004】

【発明が解決しようとする課題】しかしながら、製造過程におけるプロセスばらつきや、使用環境条件（温度、電源電圧など）に変動が生じた場合、メモリセルアレイ部分の動作遅延と前記タイミング信号生成用の遅延回路の動作遅延とは一致しないのが普通である。メモリセルアレイ部分の動作遅延が大き過ぎる場合には、ビット線振幅が必要量開く前にセンスアンプが活性化され、また、センスアンプの出力が確定する前に出力ラッチ回路がラッチ動作を行ない、誤動作を生ずる虞がある。このため、メモリセルアレイ部分の動作と前記タイミング信

号生成回路部分の動作とに対して比較的大きなタイミングマージンを見込まなければならなくなり、結果として、センスアンプ活性化タイミングが遅らされ、全体としてのメモリアクセス時間が長くなり、アクセス動作の高速化が阻まれてしまう。

【0005】本発明の目的は、製造過程におけるプロセスばらつきや使用環境条件の変動してもセンスアンプ活性化タイミングや出力ラッチタイミングの点で誤動作を生じない半導体集積回路を提供することにある。

【0006】本発明の別の目的は、メモリセルの選択動作からセンスアンプの活性化タイミングまでの期間に過剰なタイミングマージンを確保する事を要せず、センスアンプ活性化タイミングや出力ラッチタイミングの点で誤動作を生じない半導体集積回路を提供することにある。

【0007】本発明の他の目的は、センスアンプ活性化タイミングや出力ラッチタイミングに関するタイミングマージンの点においてアクセス速度を改善できる半導体集積回路を提供することにある。

【0008】本発明の更に別の目的は、メモリアクセスの高速化によってデータ処理能力を向上させることができるデータ処理システムを提供することにある。

【0009】本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0011】本願発明の第1の観点による半導体集積回路は、ダミーデータ線(BLD、BLDb)に配置されたダミーメモリセル(1D)により読み出し動作時のデータ線(BL1、BL1b~BLn、BLnb)の振幅の変化を模擬し、データ線振幅が必要量に達したことを検出してからセンスアンプ(4)を活性化する。すなわち、選択端子がワード線に接続されると共にデータ端子がデータ線に接続された複数のメモリセル(1)を有するメモリセルアレイ(11)と、前記メモリセルアレイで選択されたメモリセルの記憶情報を検出して増幅するセンスアンプ(4)と、前記センスアンプの出力をラッチする出力ラッチ回路(29)とを含んで1個の半導体基板に形成された半導体集積回路において、前記メモリセルからのデータ読み出し動作に同期して選択されるダミーメモリセル(1D)を有し、前記メモリセルからのデータ読み出し動作に同期する前記データ線のレベル変化を前記ダミーメモリセルが接続されるダミーデータ線上で模擬するダミーメモリセルアレイ(20)と、前記ダミーデータ線の所定レベルを検出して前記センスアンプの活性化信号を形成する第1検出回路(21)とを設ける。

【0012】上記した手段によれば、製造過程におけるプロセスばらつきや、使用環境条件の変動が生じて、ダミーデータ線に配置されたダミーメモリセルにより読み出し動作時のデータ線振幅の実際の変化がダミーデータ線を介して模擬されているので、実際にデータ線振幅が必要量に達した状態が模擬されたときにセンスアンプを活性化することができる。よって、メモリセルアレイ部分の動作遅延が大き過ぎてビット線振幅が必要量開く前にセンスアンプが活性化されてしまうことによる誤動作が防止される。さらに、センスアンプ活性化タイミングに対して過大なタイミングマージンを見込む事も要せず、これによって、全体としてのメモリアクセス動作の高速化も達成される。

【0013】本発明の第2の観点による半導体集積回路は、第1の観点に加えて、ダミーセンスアンプによってセンスアンプの出力状態を模擬し、センスアンプの出力が確定するのに合わせて出力ラッチ回路のラッチタイミングを生成する。すなわち、前記ダミーデータ線のレベルを入力し前記センスアンプ活性化と同期的に増幅動作を行なって前記センスアンプを模擬するダミーセンスアンプ(4D)と、前記ダミーセンスアンプの出力レベルの確定を検出して前記出力ラッチ回路のラッチタイミング信号を形成する第2検出回路(23)とを更に設ける。

【0014】上記した手段によれば、製造過程におけるプロセスばらつきや、使用環境条件の変動が生じて、実際にセンスアンプの出力が確定する状態をダミーセンスアンプで模擬できるので、センスアンプの出力が確定する前に誤ったデータをラッチしてしまう事態が阻止され、また、出力ラッチタイミングに対して過大なタイミングマージンを見込む事も要せず、メモリアクセス動作を一層高速化できる。

【0015】本発明の第3の観点による半導体集積回路は、論理演算機能付きRAMのような半導体集積回路を対象とし、センスアンプ後段の論理演算部(25)の出力が確定する状態をダミー論理演算部(26)で模擬し、それによって論理演算部の出力ラッチタイミングを生成する。すなわち、第2の観点による半導体集積部に対し、前記センスアンプの出力を入力として論理演算を行なうと共に論理演算結果を出力ラッチ回路に与える論理演算部を追加した半導体集積回路において、前記メモリセルからのデータ読み出し動作に同期して選択されるダミーメモリセル(1D)を有し、前記メモリセルからのデータ読み出し動作に同期する前記データ線のレベル変化を前記ダミーメモリセルが接続されるダミーデータ線上で模擬するダミーメモリセルアレイ(20)と、前記ダミーデータ線の所定レベルを検出して前記センスアンプの活性化信号を形成する第1検出回路(21)と、前記ダミーデータ線のレベルを入力し前記センスアンプ活性化と同期的に増幅動作を行なって前記センスアンプ

を模擬するダミーセンスアンプ(22)と、前記ダミーセンスアンプの出力を入力とし前記論理演算部を模擬するダミー論理演算部(26)と、前記ダミー論理演算部の出力レベルの確定を検出して前記出力ラッチ回路(29)のラッチタイミング信号を形成する第2検出回路(23)とを設けて成る。

【0016】上記第3の観点によれば、製造過程におけるプロセスばらつきや、使用環境条件に変動が生じて、論理演算部の出力が確定する前に誤ったデータをラッチしてしまう事態が阻止され、また、出力ラッチタイミングに対して過大なタイミングマージンを見込む事も要せず、メモリアクセス動作を高速化できる。

【0017】また、前記ワード線の一端にワード線選択信号を出力するデコーダ(12)を設ける場合、前記ワード線を共有して前記複数のメモリセルアレイと前記ダミーメモリアレイを交互に配置し、個々のメモリセルアレイに対応して前記センスアンプと出力ラッチ回路を設けると共に、個々のダミーメモリセルアレイに対応してダミーセンスアンプを設け、前記ダミーメモリセルアレイを対応するメモリセルアレイのセンスアンプ活性化制御に利用し、前記ダミーセンスアンプを対応するメモリセルの出力ラッチ回路のラッチタイミング制御に利用することができる。これは、ワード線選択信号はワード線の一方から他方に向けて伝達されるので、デコーダの遠端ほど、メモリセルの選択動作が遅くなることを考慮したものである。上記により、選択されたメモリセルの位置とビット線を模擬するダミーメモリセルの位置を最大でもワード線の半分以下の距離に抑えられるようになる。

【0018】上記半導体集積回路は、これをバスを介してアクセスするプロセッサと共に実装基板に含んでデータ処理システムを構成することができ、プロセッサによる半導体集積回路のアクセスを高速化できる。また、前記半導体集積回路に前記メモリセルの記憶情報をアクセスすることができるCPU等の回路を含んでもよい。

【0019】

【発明の実施の形態】《SRAM》図1には本発明の一例に係るSRAMの全体的なブロック図が示される。メモリセルアレイ(MCA)11には多数のスタティック型メモリセルがマトリクス配置され、代表的に2個のメモリセルアレイ11が配置されている。アドレスデコーダ(DEC)12はメモリセルアレイ11に含まれるメモリセルのワード線選択信号とカラム選択信号を生成する。アドレスデコーダ12はチップイネーブル信号のようなクロック信号CLKに同期して活性化され、当該クロック信号CLKに同期して供給されるアドレス信号13をデコードする。ワード線選択信号が伝達されるワード線14及びカラム選択信号が伝達されるカラム選択信号線15は2個のメモリセルアレイ11に共通化される。前記メモリセルの選択端子は前記ワード線14に結

合される。前記メモリセルのデータ入出力端子はビット線に接続され、ビット線はカラム選択信号線15に選択端子が結合されたカラムスイッチ回路を介して複数ビット単位で複数の共通データ線16に接続される。共通データ線16にはセンスアンプ部(SA)17が設けられ、センスアンプ部17の出力は出力ラッチ部(DOL)18でラッチされて外部に出力される。センスアンプ部17には共通データ線16のビット数に應ずる数のセンスアンプが含まれ、センスアンプは前記メモリセルアレイ11で選択されたメモリセルの記憶情報を検出して増幅する。出力ラッチ部18には共通データ線16のビット数に應ずる数の出力ラッチ回路が含まれる。

【0020】前記センスアンプ部17の活性化タイミングと出力ラッチ部18のラッチタイミングとを形成するためにダミーメモリセルアレイ(DMC)20、第1検出回路(DETa)21、ダミーセンスアンプ部(DSA)22及び第2検出回路(DETb)23を有する。前記ダミーメモリセルアレイ20は、前記メモリセルからのデータ読み出し動作に同期して選択されるダミーメモリセルを有し、前記メモリセルからのデータ読み出し動作に同期する前記ビット線のレベル変化を前記ダミーメモリセルが接続されるダミーデータ線上で模擬する。前記第1検出回路21は、前記ダミーデータ線の所定レベルを検出して前記センスアンプの活性化信号φSAを形成する。前記ダミーセンスアンプ部22は、前記ダミーデータ線のレベルを入力し前記センスアンプ活性化と同期的に増幅動作を行なって前記センスアンプを模擬するダミーセンスアンプを有する。前記第2検出回路23は、ダミーセンスアンプの出力レベルの確定を検出して前記出力ラッチ回路のラッチタイミング信号φDOLを形成する。

【0021】詳細については後述するが、上記ダミー回路を用いたタイミング制御の構成は、製造過程におけるプロセスばらつきや、使用環境条件に変動が生じて、ダミーデータ線に配置されたダミーメモリセルにより読み出し動作時のデータ線振幅の実際の変化がダミーデータ線を介して模擬されているので、実際にデータ線振幅が必要量に達した状態が模擬されたときにセンスアンプを活性化することができる。よって、メモリセルアレイ部分の動作遅延が大き過ぎてビット線振幅が必要量開く前にセンスアンプが活性化されてしまうことによる誤動作が防止される。さらに、実際にセンスアンプの出力が確定する状態をダミーセンスアンプで模擬できるので、センスアンプの出力が確定する前に誤ったデータをラッチしてしまう事態が阻止される。よって、センスアンプ活性化タイミングや出力ラッチタイミングに対して過大なタイミングマージンを見込む事も要せず、メモリアクセス動作を高速化できる。

【0022】図1においてワード線選択信号はワード線の一方から他方に向けて伝達される。アドレスデコーダ

10

20

30

40

50

12の遠端ほど、メモリセルの選択動作は遅くなる。これを考慮して、ワード線を共有するメモリセルアレイ11毎に前記ダミーメモリセルアレイ20、第1検出回路21、ダミーセンスアンプ部22及び第2検出回路23が設けられ、選択されたメモリセルの位置とビット線を模擬するダミーメモリセルの位置が最大でもワード線の半分の長さに抑えられるようになっている。

【0023】図2には一つのメモリセルアレイ及びダミー回路の詳細な一例が示される。同図に示される構成はリード・ライトデータの1ビット分の構成であり、例えば16ビット並列入出力するSRAMの場合には、図2の構成が図面の表裏方向に16組設けられていると理解されたい。

【0024】図2に示されるSRAMは、特に制限されないが、公知のMOS集積回路製造技術によって単結晶シリコンのような1個の半導体基板に形成されている。

【0025】図2に示されるSRAMはスタティック型メモリセル1を複数個マトリクス配置して成るメモリセルアレイを有する。メモリセル1は、特に制限されないが、pチャンネル型MOSトランジスタQ1とnチャンネル型MOSトランジスタQ2とによって構成される一対のCMOS（相補型MOS）インバータ回路1A、1Bの出力端子を相互に他方の入力端子に交差結合したスタティックラッチと、前記CMOSインバータ回路1A、1Bの出力端子にソース電極が結合された一対のnチャンネル型選択MOSトランジスタQ3、Q4とによって構成される。前記選択MOSトランジスタQ3、Q4のドレイン電極はメモリセルのデータ入出力端子とされ、前記選択MOSトランジスタQ3、Q4のゲート電極はメモリセル1の選択端子とされる。

【0026】前記メモリセル1のデータ入出力端子は代表的に示されたビット線対BL1、BL1b~BLn、BLnbに列毎に結合される。メモリセル1の選択端子は行毎に対応するワード線WL1~WLn（図1のワード線14に相当する）に結合される。ワード線WL1~WLnは、外部から供給されるロウアドレス信号に対応される所定の1本が選択レベルに駆動される。ワード線の駆動は、前記ロウアドレス信号をデコードする図示を省略するロウアドレスデコーダと、ロウアドレスデコーダから出力されるワード線選択信号によってワード線を駆動する図示を省略するワードドライバとによって行われる。

【0027】前記ビット線対BL1、BL1b~BLn、BLnbは、pチャンネル型MOSトランジスタQ5によって構成され、カラム選択信号によってスイッチ制御されるカラム選択トランスファゲートを介してリードコモンデータ線対CDR、CDRbに共通接続される。前記トランスファゲートを構成するMOSトランジスタQ5は、外部から供給されるカラムアドレス信号に対応する所定一対のビット線対を選択的にリードコモン

データ線対CDR、CDRbに導通制御し、そのためのスイッチ制御信号としてのリードカラム選択信号CSR1~CSRn（図1のカラム選択信号15に含まれる）は図示を省略するカラムアドレスデコーダが形成する。図示を省略する前記カラムアドレスデコーダ、ロウアドレスデコーダ、及びワードドライバは図1のアドレスデコーダ12に含まれている。

【0028】前記ビット線対BL1、BL1b~BLn、BLnbの他端には、ソース電極に電源電圧Vddが供給されるpチャンネル型ブリチャージMOSトランジスタQ6のドレイン電極及びビット線イコライズMOSトランジスタQ7のソース電極にBL1、ドレイン電極にBL1が結合され、各ブリチャージMOSトランジスタQ6及びイコライズMOSトランジスタQ7はそのゲート電極に供給されるブリチャージ信号φpcによってスイッチ制御される。ブリチャージ信号φpcは、そのローレベルによって各ブリチャージMOSトランジスタQ6及びイコライズMOSトランジスタQ7をオン動作し、オン状態を採るブリチャージMOSトランジスタQ6及びイコライズMOSトランジスタQ7は、ビット線対BL1、BL1b~BLn、BLnb及びMOSトランジスタQ5を介してコモンデータ線対CDR、CDRbを電源電圧Vddに充電し、以前のメモリアクセスによってビット線対やコモンデータ線対CDR、CDRbに生じた電位差を縮めて同電位とする。

【0029】前記ビット線対BL1、BL1b~BLn、BLnbにはまた、ライトカラム選択信号CSW1~CSWn（図1のカラム選択信号15に含まれている）をゲート電極に inputsするnチャンネル型MOSトランジスタQ8によって構成されたトランスファゲートを介してライトコモンデータ線CDW、CDWbに共通接続される。MOSトランジスタQ8によって構成されるトランスファゲートは、外部から供給されるカラムアドレス信号に対応する所定一対のビット線対を選択的にライトコモンデータ線対CDW、CDWbに導通制御し、そのためのスイッチ制御信号としてライトカラム選択信号CSW1~CSWnが図示を省略するカラムアドレスデコーダで形成される。

【0030】上記ライトコモンデータ線対CDW、CDWbには、書き込み回路3の出力端子が結合される。前記書き込み回路3は、図示を省略するデータ入力バッファから供給される書き込みデータDwに従ってライトコモンデータ線対CDw、CDWbを所定の相補レベルに駆動する。

【0031】前記リードコモンデータ線対CDR、CDRbには、読み出し回路としてのセンスアンプ4の入力端子が結合される。センスアンプ4は、メモリセルデータの読み出しによってリードコモンデータ線対CDR、CDRbに生ずるブリチャージレベルとしての電源電圧Vdd近傍の微小なレベル変化である相補的な電位差に

基づいてこれを増幅する差動増幅回路5を有する。差動増幅回路5の前段には、メモリセルデータの読み出しによってリードコモンデータ線対CDR, CDRbに生ずる電源電圧V<sub>dd</sub>近傍の前記微小なレベル変化を差動増幅回路5の増幅動作上最も高感度となる動作点近傍でのレベル変化に変換して、これを差動増幅回路5の入力端子に与えるレベルシフト回路6が設けられている。

【0032】前記差動増幅回路5は、特に制限されないが、ソース電極の共通接続端が電流源としてのnチャンネル型パワースイッチMOSトランジスタQ10を介して接地電位V<sub>ss</sub>に接続された差動対を成す一対のnチャンネル型入力MOSトランジスタQ11, Q12のドレイン電極の各々に、カレントミラー負荷を構成するpチャンネル型MOSトランジスタQ13, Q14のドレイン電極とpチャンネル型MOSトランジスタQ15, Q16のドレイン電極が並列接続されて成る。前記pチャンネル型MOSトランジスタQ15, Q16は、パワースイッチMOSトランジスタQ10と相補的のスイッチ動作される。前記カレントミラー負荷を構成するpチャンネル型MOSトランジスタQ13, Q14と前記pチャンネル型MOSトランジスタQ15, Q16のソース電極は電源電圧V<sub>dd</sub>に接続される。差動増幅回路5の一対の入力端子は入力MOSトランジスタQ11, Q12のゲート電極とされる。差動増幅回路5の出力端子はMOSFET Q12とQ14の結合ドレイン電極とされ、出力インバータINVの入力端子に結合される。差動増幅回路5の増幅出力電圧V<sub>out</sub>が前記出力インバータINVで検出可能なレベルに到達することにより、この出力インバータINVは図1で説明した出力ラッチ部18の出力ラッチ回路29に読み出しデータDrを与える。前記パワースイッチMOSトランジスタQ10はそのゲート電極に供給されるセンスアンプ信号φSAによってスイッチ制御される。センスアンプ信号φSAはそのハイレベルによってパワースイッチMOSトランジスタQ10をオン動作させて差動増幅回路5を活性化する。尚、パワースイッチMOSトランジスタQ10と相補関係で動作される前記pチャンネル型MOSトランジスタQ15, Q16は差動増幅回路5の非活性化に呼応してMOSトランジスタQ11とQ13との結合ドレイン電極とMOSトランジスタQ12とQ14との結合ドレイン電極を電源電圧V<sub>dd</sub>に充電させるようになって

いる。  
【0033】前記レベルシフト回路6は、メモリセルデータの読み出しによってリードコモンデータ線対CDR, CDRbに生ずるブリチャージレベルとしての電源電圧V<sub>dd</sub>近傍の微小な相補レベル変化を、差動増幅回路5の増幅動作上最も高感度となる動作点付近でのレベル変化に変換する。このレベルシフト回路6は、特に制限されないが、出力になるドレイン電位を入力電圧に追従変化させる一対のnチャンネル型MOSトランジスタ

Q20, Q21とドレイン電極への電流源である一対のpチャンネル型負荷MOSトランジスタQ22, Q23とから成るインバータ回路を基本回路とする。具体的にはpチャンネル型負荷MOSトランジスタQ22, Q23のソース電極に電源電圧V<sub>dd</sub>が供給され、そのゲート電極には常時オン状態にする接地電圧V<sub>ss</sub>が接続される。MOSトランジスタQ20とQ22及びQ21とQ23の各々直列接続されたノードがレベルシフト回路6の差動信号出力端子とされる。このとき、入力信号対出力信号の増幅度は、pチャンネル型負荷MOSトランジスタQ22, Q23とnチャンネル型入力MOSトランジスタQ20, Q21との駆動比で決まり、nチャンネル型入力MOSトランジスタQ20, Q21の駆動能力が大きい程、増幅度が大きくなる。

【0034】図2においてダミーメモリセルアレイ20は基本的に、メモリセルアレイ1の一対のビット線に係る構成と電氣的に等価な構成を有する。BLD, BLD<sub>b</sub>はダミービット線対、1Dはダミーメモリセル、4Dはダミーセンスアンプである。ダミーメモリセル1Dはその記憶情報が固定される点がメモリセル1と相違される。例えば、ダミーメモリセル1DにおけるMOSトランジスタQ1のゲート電極が電源電圧V<sub>dd</sub>に結合され、ダミーメモリセル1Dはそれが選択されたとき、そのインバータ1Aがローレベル、インバータ1Bがハイレベルを出力しようとする。ダミーメモリセルアレイ20においてMOSトランジスタQ8は常時オフ状態に制御される。MOSトランジスタQ5は前記リードカラム選択信号CSR1~CSRnの論理和信号によってスイッチ制御される。したがって、メモリセルアレイ1におけるカラム選択動作に同期して、ダミーメモリセルアレイ20のMOSトランジスタQ5もオン動作される。

【0035】前記第1の検出回路21はインバータによって構成される。第1検出回路21の入力端子は、MOSトランジスタQ5とQ20の間の位置でダミービット線BLDに結合されている。SRAMのリード動作において、ビット線対BL1, BL1<sub>b</sub>~BLn, BLn<sub>b</sub>, リードコモンデータ線CDR, CDR<sub>b</sub>及びダミービット線対BLD, BLD<sub>b</sub>は読み出し動作の開始前にイコライズMOSトランジスタQ7及びブリチャージMOSトランジスタQ6の作用により概ねV<sub>dd</sub>にブリチャージされている。クロック信号CLKに同期してSRAMにリード動作が指示されると、メモリセルアレイ1におけるメモリセル選択動作に同期してダミーメモリセルアレイ20ではダミーメモリセル1Dの選択動作が行なわれる。これにより、ダミーメモリセル1Dはダミービット線BLDにローレベル、ダミービット線BLD<sub>b</sub>にハイレベルを出力しようとし、ダミービット線対BLD, BLD<sub>b</sub>は電源電圧V<sub>dd</sub>近傍から徐々にその電位差を拡大していく。第1検出回路21はその電位差が差動増幅回路5(5D)による差動増幅上、誤動作を生



じない電位差になるときのダミービット線BLDの所定レベルを論理閾値電圧として有する。ダミービット線BLDのレベルがプリチャージレベルから前記所定レベルまで降下したところで、第1検出回路21はセンスアンプ信号φSAをハイレベルに反転して、センスアンプ4及びダミーセンスアンプ4Dを活性化する。これによって、センスアンプ4は誤動作を生ずる事なく、メモリセル1からの読み出しデータを検出して増幅する事ができる。

【0036】このときダミーセンスアンプ4Dも活性化されており、第2検出回路23はダミー差動増幅回路5Dの出力が確定するレベル、即ちローレベルに向けた所定レベルを論理閾値電圧として持つ。第2検出回路23は、ダミー差動増幅回路5Dの出力が前記所定レベルに確定すると、ラッチタイミング信号φDOLをハイレベルに反転する。このとき、差動増幅回路5の出力も確定しており、ラッチタイミング信号φDOLのローレベルからハイレベルへの変化に同期してセンスアンプ4の出力をラッチする出力ラッチ回路29は、確定前の誤ったデータをラッチして外部に出力することはない。

【0037】上記図1及び図2で説明したSRAMによれば以下の作用効果を得る。

【0038】(1)ダミーメモリセルアレイ20のダミーデータ線BLD、BLDbに配置されたダミーメモリセル1Dによりメモリセルアレイ1における読み出し動作時のデータ線(ビット線対BL1、BL1b~BLn、BLnb及びコモンデータ線対CDR、CDRb)の振幅の変化を模擬し、データ線の振幅が必要量に達したことを第1検出回路21で検出してからセンスアンプ4を活性化する。したがって、製造過程におけるプロセスばらつきや、使用環境条件に変動が生じても、ダミーデータ線BLD、BLDbに配置されたダミーメモリセル1Dにより読み出し動作時のデータ線振幅の実際の変化がダミーデータ線BLD、BLDbを介して模擬されているので、実際にデータ線振幅が必要量に達した状態が模擬されたときにセンスアンプ4を活性化することができ、図3の比較例に示されるように、経路PS1に代表されるセンスアンプ部SAの活性化タイミングを生成するための遅延量(delay1)に対して、経路PS2に代表されるメモリセルアレイMCAの内部回路の動作遅延が

【0039】(2)更に、ダミーセンスアンプ4Dによってセンスアンプ4の出力状態を模擬し、センスアンプ4の出力が確定するのに合わせて出力ラッチ回路29のラッチタイミングを生成するから、同じく、製造過程におけるプロセスばらつきや、使用環境条件に変動が生じ

ても、実際にセンスアンプ4の出力が確定する状態をダミーセンスアンプ4Dで模擬できるので、センスアンプ4の出力が確定する前に出力ラッチ回路29が誤ったデータをラッチしてしまう事態を阻止できる。また、出力ラッチタイミングに対して過大なタイミングマージンを見込む事も要しない。図3の比較例においては、経路PS1に代表される出力ラッチ部DOLのラッチタイミングを生成するための遅延量(delay2)に対して、経路PS2に代表されるメモリセルアレイMCAの内部回路及びセンスアンプ部SAの動作遅延が大き過ぎれば、センスアンプ部SAの出力が確定する前に誤ったデータを出力ラッチ部DOLがラッチする虞がある。

【0040】(3)上記により、SRAM全体としてメモリアクセス動作の高速化を達成できる。

【0041】《論理演算機能付きSRAM》図4には本発明の別の例に係る論理演算機能付きSRAMの全体的なブロック図が示される。同図に示される論理機能付きSRAMは基本的に図1と同様の構成を有し、図1で説明した回路ブロックと同一機能を有するものには同じ符号を付してその詳細な説明を省略する。図1との相違点は、センスアンプ部(SA)17と出力ラッチ部(DOL)18との間に論理演算部(LOG)25が配置され、ダミーセンスアンプ部(DSA)21の出力と第2検出回路(DETB)23の入力との間にダミー論理演算部(DLOG)26が配置されていることである。

【0042】前記論理演算部25はセンスアンプ部17から並列的に出力される複数ビットを入力して論理演算を行なう。論理演算の種類及び構成は特に制限されず、例えば図5に例示されるように、センスアンプ部17の出力に対して6ビット(IN<0>~IN<5>)単位で排他的論理和(EOR)信号250及び排他的負論理和(ENOR)信号251を生成するCMOSTransファゲートを用いたバス論理によって構成する事ができる。論理演算部25は図5に示された回路を一単位とし、入力信号のビット数に応じて前記単位回路を単数若しくは複数個有する。

【0043】前記ダミー論理演算部26は、センスアンプ部17から出力される複数ビットを後段の論理演算部25で演算した結果が確定する状態を模擬する回路であり、論理演算部25と電気的に等価な回路を有する。例えば論理演算部25が図5の回路を複数組備える場合、ダミー論理演算部26は図5の回路を1組有する。この場合、ダミーメモリセルアレイ20は、図2に示される回路構成を少なくとも6組備えればよい。図2に示されるメモリセルアレイ11に関する回路構成は任意の数だけ含んでいけばよい。ダミーメモリセルアレイ20に含まれるダミーメモリセル1Dの記憶情報は前述のように一定値にされる。第2検出回路23は、ダミーセンスアンプ部22の出力によってダミー論理演算部26の出力レベルが確定するのを検出し、検出したとき、前記出力



ラッチ回路29のラッチタイミング信号φDOLを形成する。

【0044】これによれば、製造過程におけるプロセスばらつきや、使用環境条件に変動が生じて、論理演算部25の出力が確定する前に誤ったデータをラッチしてしまう事態が阻止され、また、出力ラッチタイミングに対して過大なタイミングマージンを見込む事も要せず、メモリアクセス動作を高速化できる。

【0045】《データ処理システム》図6には前記SRAMを適用したデータ処理システムの一例であるコンピュータシステムのブロック図が示される。このコンピュータシステムは、プロセッサボード30と周辺回路によって構成される。プロセッサボード30は、マイクロプロセッサ31を中心に、当該マイクロプロセッサ31が結合されたプロセッサバス32に、代表的に示されたメモリコントローラ33及びPCI (Peripheral Component Interconnect) バスコントローラ34が結合される。メモリコントローラ33には、マイクロプロセッサ31のワーク領域若しくは一次記憶領域とされるメインメモリとしてSRAM35が結合されている。SRAM35は図1等に基づいて説明したSRAMの構成を有する。PCIバスコントローラ34は低速の周辺回路をPCIバス36を介してプロセッサバス32にインタフェースするブリッジ回路として機能される。PCIバス36には、特に制限されないが、ディスプレイコントローラ37、IDE (Integrated Device Electronics) インタフェースコントローラ38、SCSI (Small Computer System Interface) インタフェースコントローラ39及びその他のインタフェースコントローラ40が結合されている。前記ディスプレイコントローラ37にはフレームバッファメモリが接続されている。

【0046】周辺回路として、前記ディスプレイコントローラ37に結合されたディスプレイ42、IDEインタフェースコントローラ38に結合されたハードディスクドライブ(HDD)43、SCSIインタフェースコントローラ39に結合されたイメージスキャナ44、そして、前記その他のインタフェースコントローラ40に結合されたキーボード45、マウス46、モデム47及び文字認識ユニット48等が設けられている。

【0047】図6に示されるコンピュータシステムにおいて、前記HDD43にはマイクロプロセッサ31のオペレーティングシステム(OS)などその他の動作プログラムも格納されている。OSが起動され、前記データ入力制御プログラムの実行が指示されると、当該プログラムの実行ファイルがSRAM35のロードされ、マイクロプロセッサ31がSRAM35にロードされた実行ファイルに従ってデータ入力制御プログラムなどを実行する。

【0048】前記SRAM35は、センスアンプ活性化タイミングや出力データラッチタイミングに関しタイミ

ングマージンを予め採らなくても、プロセスばらつきや使用環境条件に応じて前記活性化タイミングやラッチタイミングが最適化され、センスアンプによる増幅動作や出力ラッチ動作における誤動作防止が実現されているから、データ処理システムに前記SRAM35を採用することにより、データ処理システムの信頼性向上と、メモリアクセスの高速化によるデータ処理能力向上とを実現することができる。

【0049】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0050】例えば、SRAMにおけるメモリセルは抵抗負荷型であってもよく、面路マト構成は任意に構成を採用できる。また、論理演算部は図5に限定されず、その他の論理回路であってもよい。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるSRAM等について説明したが、シンクロナスSRAMに代表されるクロック同期型SRAMや、SRAMを搭載したマイクロコンピュータなど、その他の半導体集積回路にも広く適用することができる。

【0051】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0052】すなわち、ダミーメモリセルアレイ内部のダミーデータ線に配置されたダミーメモリセルにより読み出し動作時のデータ線の振幅の変化を模擬し、データ線振幅が必要量に達したことを検出してからセンスアンプ及びダミーセンスアンプを活性化することから、実際にデータ線振幅が必要量に達した状態が模擬されたときにセンスアンプを活性化することができる。よって、メモリセルアレイ部分の動作遅延が大き過ぎてビット線振幅が必要量開く前にセンスアンプが活性化されてしまうことによる誤動作を防止できる。

【0053】また、ダミーセンスアンプによってセンスアンプの出力状態を模擬し、センスアンプの出力が確定するのに合わせて出力ラッチ回路のラッチタイミングを生成することから、センスアンプの出力が確定する前に誤ったデータをラッチしてしまう事態を未然に防止できる。

【0054】よって、センスアンプ活性化タイミングや出力ラッチタイミングに対して過大なタイミングマージンを見込む事も要せず、メモリアクセス動作を高速化できる。

【0055】センスアンプ活性化タイミングや出力データラッチタイミングに関しタイミングマージンを予め採らなくても、プロセスばらつきや使用環境条件に応じて前記活性化タイミングやラッチタイミングが最適化され、センスアンプによる増幅動作や出力ラッチ動作における誤動作防止が実現されている上記半導体集積回路を

ラッチ回路29のラッチタイミング信号φDOLを形成する。

【0044】これによれば、製造過程におけるプロセスばらつきや、使用環境条件に変動が生じて、論理演算部25の出力が確定する前に誤ったデータをラッチしてしまう事態が阻止され、また、出力ラッチタイミングに対して過大なタイミングマージンを見込む事も要せず、メモリアクセス動作を高速化できる。

【0045】《データ処理システム》図6には前記SRAMを適用したデータ処理システムの一例であるコンピュータシステムのブロック図が示される。このコンピュータシステムは、プロセッサボード30と周辺回路によって構成される。プロセッサボード30は、マイクロプロセッサ31を中心に、当該マイクロプロセッサ31が結合されたプロセッサバス32に、代表的に示されたメモリコントローラ33及びPCI (Peripheral Component Interconnect) バスコントローラ34が結合される。メモリコントローラ33には、マイクロプロセッサ31のワーク領域若しくは一次記憶領域とされるメインメモリとしてSRAM35が結合されている。SRAM35は図1等に基づいて説明したSRAMの構成を有する。PCIバスコントローラ34は低速の周辺回路をPCIバス36を介してプロセッサバス32にインタフェースするブリッジ回路として機能される。PCIバス36には、特に制限されないが、ディスプレイコントローラ37、IDE (Integrated Device Electronics) インタフェースコントローラ38、SCSI (Small Computer System Interface) インタフェースコントローラ39及びその他のインタフェースコントローラ40が結合されている。前記ディスプレイコントローラ37にはフレームバッファメモリが接続されている。

【0046】周辺回路として、前記ディスプレイコントローラ37に結合されたディスプレイ42、IDEインタフェースコントローラ38に結合されたハードディスクドライブ(HDD)43、SCSIインタフェースコントローラ39に結合されたイメージスキャナ44、そして、前記その他のインタフェースコントローラ40に結合されたキーボード45、マウス46、モデム47及び文字認識ユニット48等が設けられている。

【0047】図6に示されるコンピュータシステムにおいて、前記HDD43にはマイクロプロセッサ31のオペレーティングシステム(OS)などその他の動作プログラムも格納されている。OSが起動され、前記データ入力制御プログラムの実行が指示されると、当該プログラムの実行ファイルがSRAM35のロードされ、マイクロプロセッサ31がSRAM35にロードされた実行ファイルに従ってデータ入力制御プログラムなどを実行する。

【0048】前記SRAM35は、センスアンプ活性化タイミングや出力データラッチタイミングに関しタイミ

ングマージンを予め採らなくても、プロセスばらつきや使用環境条件に応じて前記活性化タイミングやラッチタイミングが最適化され、センスアンプによる増幅動作や出力ラッチ動作における誤動作防止が実現されているから、データ処理システムに前記SRAM35を採用することにより、データ処理システムの信頼性向上と、メモリアクセスの高速化によるデータ処理能力向上とを実現することができる。

【0049】以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0050】例えば、SRAMにおけるメモリセルは抵抗負荷型であってもよく、面路マト構成は任意に構成を採用できる。また、論理演算部は図5に限定されず、その他の論理回路であってもよい。以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるSRAM等について説明したが、シンクロナスSRAMに代表されるクロック同期型SRAMや、SRAMを搭載したマイクロコンピュータなど、その他の半導体集積回路にも広く適用することができる。

【0051】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0052】すなわち、ダミーメモリセルアレイ内部のダミーデータ線に配置されたダミーメモリセルにより読み出し動作時のデータ線の振幅の変化を模擬し、データ線振幅が必要量に達したことを検出してからセンスアンプ及びダミーセンスアンプを活性化することから、実際にデータ線振幅が必要量に達した状態が模擬されたときにセンスアンプを活性化することができる。よって、メモリセルアレイ部分の動作遅延が大き過ぎてビット線振幅が必要量開く前にセンスアンプが活性化されてしまうことによる誤動作を防止できる。

【0053】また、ダミーセンスアンプによってセンスアンプの出力状態を模擬し、センスアンプの出力が確定するのに合わせて出力ラッチ回路のラッチタイミングを生成することから、センスアンプの出力が確定する前に誤ったデータをラッチしてしまう事態を未然に防止できる。

【0054】よって、センスアンプ活性化タイミングや出力ラッチタイミングに対して過大なタイミングマージンを見込む事も要せず、メモリアクセス動作を高速化できる。

【0055】センスアンプ活性化タイミングや出力データラッチタイミングに関しタイミングマージンを予め採らなくても、プロセスばらつきや使用環境条件に応じて前記活性化タイミングやラッチタイミングが最適化され、センスアンプによる増幅動作や出力ラッチ動作における誤動作防止が実現されている上記半導体集積回路を

用いたデータ処理システムは、データ処理システムの信頼性向上と、メモリアクセスの高速化によるデータ処理能力向上とを実現することができる。

【図面の簡単な説明】

【図1】本発明の一例に係るSRAMの全体的なブロック図である。

【図2】一つのメモリセルアレイ及びダミー回路の詳細な一例を示す回路図である。

【図3】図1に対して遅延回路を用いてセンスアンプ活性化タイミングなどを生成する比較例に係るSRAMの一例ブロック図である。

【図4】本発明の別の例に係る論理演算機能付きSRAMの全体的なブロック図である。

【図5】論理演算部の一例回路図である。

【図6】本発明の一例に係るSRAMを適用したデータ処理システムの一例を示すブロック図である。

【符号の説明】

- 1 メモリセル  
1D ダミーメモリセル

\*

\* 4 センスアンプ

4D ダミーセンスアンプ

5 差動増幅回路

6 レベルシフト回路

11 メモリセルアレイ

12 デコーダ

17 センスアンプ部

18 出力ラッチ部

20 ダミーメモリセルアレイ

21 第1検出回路

22 ダミーセンスアンプ部

23 第2検出回路

25 論理演算部

26 ダミー論理演算部

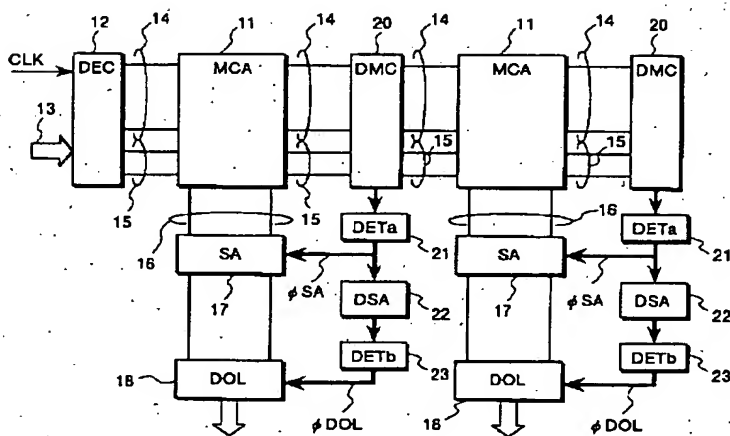
$\phi SA$  センスアンプ活性化制御信号

$\phi DOL$  出力ラッチタイミング信号

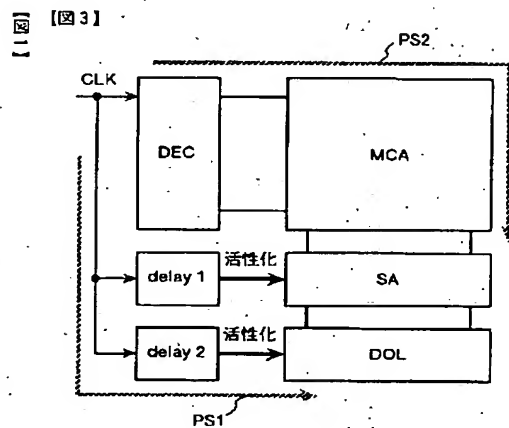
31 マイクロプロセッサ

35 SRAM

【図1】

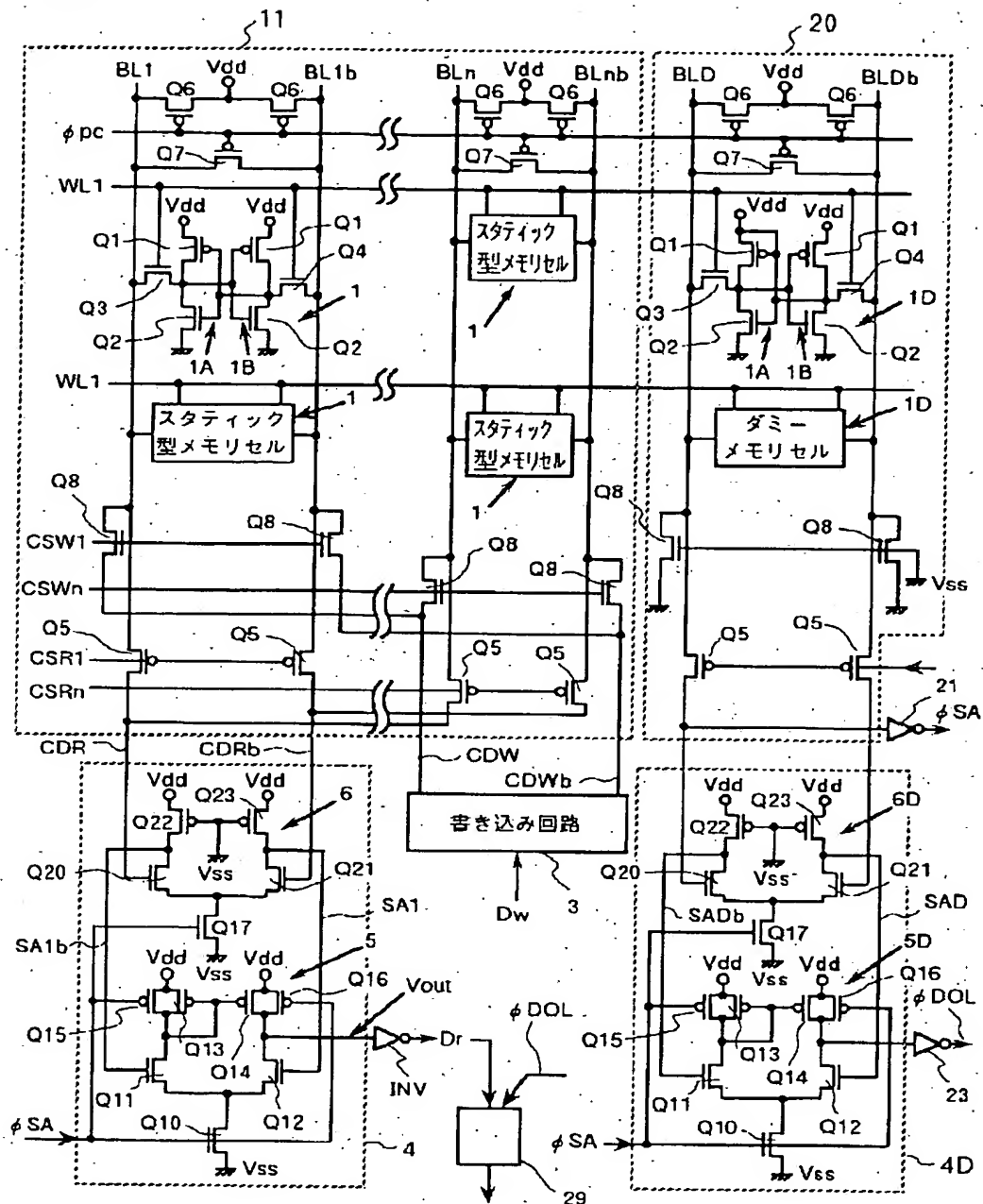


【図3】

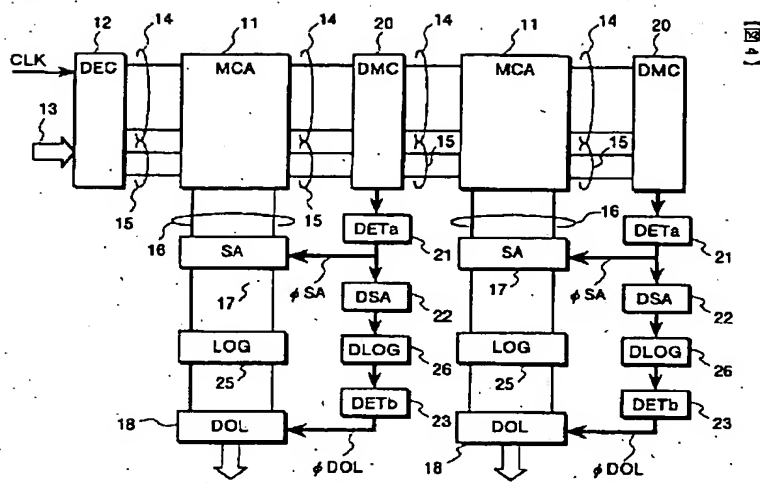


【図2】

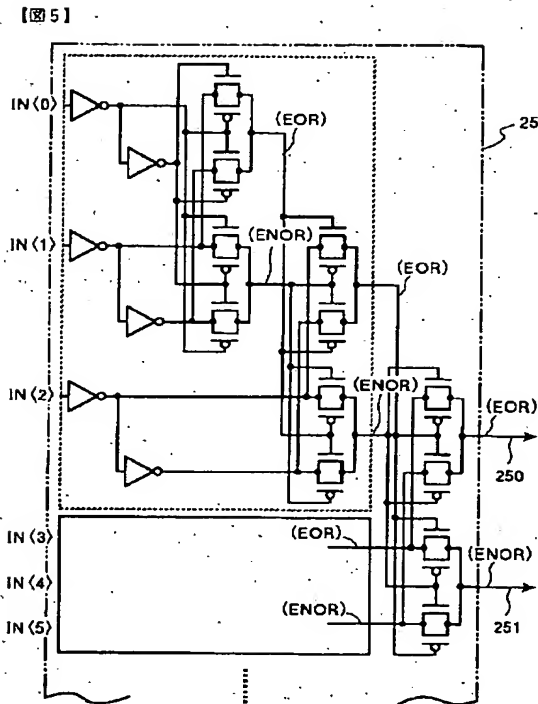
【図2】



【図4】



【図5】



【図6】

